

DIALOG(R)File 347:JAPIO

(c) 2006 JPO & JAPIO. All rts. reserv.

03871416      \*\*Image available\*\*

## OUTPUT BUFFER CIRCUIT

PUB. NO.:        **04-236516** [JP 4236516 A]

PUBLISHED:     August 25, 1992 (19920825)

INVENTOR(s):   MAEKAWA TOSHIICHI

APPLICANT(s):   SONY CORP [000218] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:      03-019568 [JP 9119568]

FILED:          January 18, 1991 (19910118)

INTL CLASS:     [5] H03K-019/0175; H03K-019/0185; H03K-019/003

JAPIO CLASS:    42.4 (ELECTRONICS -- Basic Circuits)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide  
Semiconductors, MOS)

JOURNAL:        Section: E, Section No. 1301, Vol. 17, No. 3, Pg. 60, January  
06, 1993 (19930106)

## ABSTRACT

**PURPOSE:** To attain the high breakdown voltage and to improve the circuit reliability by generating 1st and 2nd signals whose level is smaller than a level between a ground level and a power supply voltage and selecting a level between a ground level and a power supply voltage as an amplitude of an output signal based on the 1st and 2nd signals.

**CONSTITUTION:** At a point of time  $t(\text{sub } 1)$  among points of time  $t(\text{sub } 1)$ - $t(\text{sub } 4)$ , a gate voltage of a PMOS transistor(TR) mp8 is equal to a source voltage of the TR mp8, which is turned off. On the other hand, a high voltage E is given to a gate of an NMOS TRmn8 and a ground voltage B is given to a source of the TRmn8, which is turned on. Thus, an output signal voltage F of an output circuit 5 is at a ground level at the point of time  $t(\text{sub } 1)$  when an input signal voltage VIN is at a ground level. Moreover, the gate voltage E of the NTRmn8 is equal to the source voltage B at the point of time  $t(\text{sub } 2)$  and an L level signal D is fed to the gate of the PTRmp8 and a power supply voltage signal C is fed to its source. Thus, the potential of the output F rises up to the power supply voltage level at the point of time  $t(\text{sub } 2)$  and its amplitude is at the same ground level as that of the voltage VIN.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-236516

(43) 公開日 平成4年(1992)8月25日

(51) Int. Cl.<sup>5</sup>

H 0 3 K 19/0175

19/0185

19/003

識別記号

庁内整理番号

F I

技術表示箇所

E 8941-5 J

8941-5 J

8941-5 J

H 0 3 K 19/00

1 0 1 F

1 0 1 D

審査請求 未請求 請求項の数1(全5頁)

(21) 出願番号

特願平3-19568

(22) 出願日

平成3年(1991)1月18日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 前川 敏一

東京都品川区北品川6丁目7番35号 ソニ

株式会社内

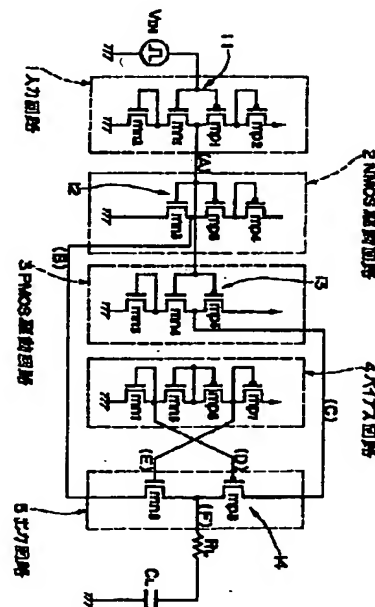
(74) 代理人 弁理士 船橋 国昭

(54) 【発明の名称】 出力バッファ回路

(57) 【要約】

【目的】 製造プロセスを変更したりトランジスタの動作特性を犠牲にしたりすることなく高耐圧化をはかり、出力バッファ回路の信頼性を向上させる。

【構成】 振幅が0～電源電圧VDDよりも小さくて最低レベルがグラウンドレベルと同じである第1の信号と、最高レベルは電源電圧VDDと同じであるが、その振幅が0～電源電圧VDDよりも小さい第2の信号とを作り、出力バッファ回路を構成する全てのMOSトランジスタの任意の2端子間に印加される電圧の最大値が、 $|VDD - \text{MOSトランジスタのしきい値電圧}|$  となるようにして実質的な耐圧を向上させるとともに、最終的に出力される信号の振幅がこれら第1および第2の信号に基づいてグラウンドレベルGnd～電源電圧VDDとなるようにする。



1

## 【特許請求の範囲】

【請求項1】 前段から与えられる入力信号をレベルシフトして最低レベルがグラウンドレベルにクランプされているとともに、最高レベルが電源電圧よりも所定の電位だけ下がっている第1の信号を作るNMOS駆動回路と、上記入力信号をレベルシフトし、最高レベルが上記電源電圧にクランプされているとともに、最低レベルが上記グラウンドレベルから上記所定の電位分だけ上がっている第2の信号をつくるPMOS駆動回路と、上記電源電圧よりも上記所定の電位分だけ下がっている第1の電圧、および上記グラウンドレベルよりも上記所定の電位分だけ上がっている第2の電圧を作るバイアス回路と、上記第1の信号がソースに与えられるとともに上記第1の電圧がゲートに与えられるNMOSトランジスタ、および上記第2の信号がソースに与えられるとともに上記第2の電圧がゲートに与えられるPMOSトランジスタにより構成されるCMOSトランジスタとを具備することを特徴とする出力バッファ回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は出力バッファ回路に係わり、特に、TFTにより構成される出力バッファ回路の耐圧を向上させるものに用いて好適なものである。

【0002】

【従来の技術】 例えば、或る回路で生成された信号を次段の回路に出力するための回路として、出力バッファ回路が用いられている。図3は、アクティブマトリックス型の液晶ディスプレイに用いられている出力バッファ回路を示す回路構成図である。この回路は、垂直シフトレジスタで作ったアドレスパルスを出力バッファ回路21を介してゲート線22上に出力するものである。図3に示すように、出力バッファ回路21はPMOSトランジスタmp1とNMOSトランジスタmn1とからなるCMOSトランジスタによって構成されている。

【0003】 このような回路においては、画素を構成するトランジスタがNMOSトランジスタであるため、一般に、入力されるビデオ信号の振幅は0.5V～(電源電圧VDD-しきい値電圧Vth)程度であり、0V～電源電圧VDDの電圧振幅を持たない。しかし、ゲート線22に出力される信号電圧は、0V～電源電圧VDDのダイナミックレンジで出力され必要がある。したがって、出力バッファ回路21を構成する各トランジスタmp1、mn1のドレインとゲート間、ソースとゲート間、およびドレインとソース間には電源電圧VDDと同じ大きさの電圧が印加される。

【0004】

【発明が解決しようとする課題】 上記電源電圧VDDは、通常は14～18V程度の高い電圧であるが、このような高電圧をそのまま加えるとデバイスの信頼性が低下する。この問題を解決するために、例えばゲート酸化

2

膜の厚さを厚くすることが考えられる。しかし、ゲート酸化膜を厚くすると、しきい値電圧Vthが増加したり、或いは動作速度が低下(gmの低下)したりするなどのような不都合が発生する上に、プロセス全体を変更しなければならない問題もあった。

【0005】 本発明は上述の問題点に鑑み、プロセスを変更したりトランジスタの動作特性を犠牲にしたりすることなく高耐圧化をはかり、出力バッファ回路の信頼性を向上させることを目的とする。

10 【0006】

【課題を解決するための手段】 本発明の出力バッファ回路は、前段から与えられる入力信号をレベルシフトして最低レベルがグラウンドレベルにクランプされているとともに、最高レベルが電源電圧よりも所定の電位だけ下がっている第1の信号を作るNMOS駆動回路と、上記入力信号をレベルシフトし、最高レベルが上記電源電圧にクランプされているとともに、最低レベルが上記グラウンドレベルから上記所定の電位分だけ上がっている第2の信号をつくるPMOS駆動回路と、上記電源電圧よりも上記所定の電位分だけ下がっている第1の電圧、および上記グラウンドレベルよりも上記所定の電位分だけ上がっている第2の電圧を作るバイアス回路と、上記第1の信号がソースに与えられるとともに上記第1の電圧がゲートに与えられるNMOSトランジスタ、および上記第2の信号がソースに与えられるとともに上記第2の電圧がゲートに与えられるPMOSトランジスタにより構成されるCMOSトランジスタとを具備している。

20 【0007】

【作用】 最低レベルはグラウンドレベルと同じであるが、その振幅がグラウンドレベルGnd～電源電圧VDDよりも小さい第1の信号、および最高レベルは電源電圧VDDと同じであるが、その振幅が上記第1の信号と同様にグラウンドレベルGnd～電源電圧VDDよりも小さい第2の信号を作るとともに、最終的に出力される信号の振幅がこれら第1および第2の信号に基づいてグラウンドレベルGnd～電源電圧VDDとなるようにする。これにより、出力バッファ回路を構成する全てのMOSトランジスタの任意の2端子間に印加される電圧の最大値が、|VDD-MOSトランジスタのしきい値電圧|となり、実質的な耐圧が向上する。

40 【0008】

【実施例】 図1は、本発明の一実施例を示す出力バッファ回路の回路構成図である。この出力バッファ回路は、入力回路1、NMOS駆動回路2、PMOS駆動回路3、バイアス回路4、および出力回路5の5つのブロックによって構成されている。入力回路1は、外部から与えられる入力信号電圧Vinの振幅を抑圧した信号を生成するために設けられている。本実施例においては、第1のPMOSトランジスタmp1と第1のNMOSトランジスタmn1とからなる第1のCMOSトランジスタ1

3

1の電源側に第2のPMOSトランジスタmp2を接続するとともに、グランド側に第2のNMOSトランジスタmn2を接続して入力回路1を構成している。

【0009】NMOS駆動回路2は、入力回路1から供給される信号(A)をレベルシフトし、最低レベルがグランドレベルGndにクランプされた信号(B)を形成するために設けられている。これは、PMOSトランジスタmp3とNMOSトランジスタmn3とからなる第2のCMOSトランジスタ12の電源側にダイオード接続したPMOSトランジスタmp4を接続して構成されている。

【0010】また、PMOS駆動回路3は、入力回路1から供給される信号(A)を電源電圧VDD側にレベルシフトし、最高レベルが電源電圧VDDにクランプされた信号(C)を形成するために設けられている。これは、PMOSトランジスタmp5とNMOSトランジスタmn4とからなる第3のCMOSトランジスタ13のグランド側にダイオード接続したNMOSトランジスタmn5を接続して構成されている。

【0011】バイアス回路4は、PMOSトランジスタmp6、mp7およびNMOSトランジスタmn6、mn7をそれぞれダイオード接続するとともに、これらのMOSトランジスタを直列に接続し、これを電源とグランドとの間に接続する。そして、PMOSトランジスタmp6とmp7との間から電圧(E)を取り出すとともに、NMOSトランジスタmn6とmn7との間から電圧(D)を取り出すようにしている。

【0012】出力回路5は、PMOSトランジスタmp8およびNMOSトランジスタmn8とからなる第4のCMOSトランジスタ14によって構成されていて、その出力端子に抵抗器RLおよびコンデンサCLが接続されている。そして、バイアス回路4から取り出される電圧(D)および(E)が、NMOSトランジスタmn8のゲート、およびPMOSトランジスタmp8のゲートにそれぞれ与えられるようになされている。

【0013】次に、上述のように構成された出力バッファ回路の動作を図2のタイムチャートを参照して説明する。まず、グランドレベルGnd～VDDの振幅を有する入力信号電圧Vinが入力回路1に与えられると、図2において(A)に示すような波形の信号に変換される。このような信号波形(A)は、入力回路1が以下に述べるような回路動作を行うことにより形成される。すなわち、先ず図2の時点t1においては、入力信号電圧Vinが“L”であるので、第1のCMOSトランジスタ11はPMOSトランジスタmp1がオンするとともに、NMOSトランジスタmn1がオフする。これにより、第1のCMOSトランジスタ11の出力信号電圧(A)は、電源電圧VDDに向かって上昇する。しかし、このCMOSトランジスタ11の電源側にはダイオード接続されたPMOSトランジスタmp2が接続されているの

4

で、上記出力信号電圧(A)の最高電位は上記PMOSトランジスタmp2のしきい値電圧Vthp分だけ低い値になる。すなわち、(VDD-Vthp)迄しか上昇しない。

【0014】一方、時点t2においては、入力信号電圧Vinが“H”となるので、第1のCMOSトランジスタ11はNMOSトランジスタmn1がオンするとともに、PMOSトランジスタmp1がオフする。これにより、第1のCMOSトランジスタ11の出力信号電圧(A)は、グランド電位に向かって低下する。しかし、このCMOSトランジスタ11のグランド側にはダイオード接続されたNMOSトランジスタmn2が接続されているので、上記出力信号電圧(A)の最低電位は上記NMOSトランジスタmn2のしきい値電圧Vthn分だけ高い値になる。このような現象は、時点t3、t4においても同様に現れるので、図2に示したようにその振幅が入力信号電圧Vinよりも抑圧された出力信号電圧(A)が入力回路1の出力端子から得られることになる。

【0015】NMOS駆動回路2は、入力回路1から供給される信号(A)を受けて、この信号(A)と波形が同じで最低レベルがグランドにクランプされた信号電圧(B)を形成しこれを出力回路5に供給する。また、PMOS駆動回路3は入力回路1から供給される信号(A)を電源電圧側にレベルシフトして、その最高レベルが電源電圧VDDにクランプされた信号(C)を形成し、これを出力回路5に供給する。

【0016】NMOS駆動回路2から供給される信号(B)は、第4のCMOSトランジスタ14を構成するNMOSトランジスタmn8のソースに与えられ、PMOS駆動回路3から供給される信号(C)はPMOSトランジスタmp8のソースに与えられる。NMOSトランジスタmn8のゲートにはバイアス電圧(E)が与えられているとともに、PMOSトランジスタmp8のゲートにはバイアス電圧(D)が与えられている。

【0017】バイアス電圧(E)は電源電圧VDDからPMOSトランジスタmp2のしきい値電圧Vthp分だけ低い値となっている。また、バイアス電圧(D)はNMOSトランジスタmn2のしきい値電圧Vthn分だけ高い値になっている。したがって、PMOSトランジスタmp8は時点t1においては、ゲート電圧とソース電圧とが同じ値となるのでオフする。一方、NMOSトランジスタmn8の場合は、時点t1においてゲートに高電圧(E)が与えられるとともに、ソースにグランドレベルの電圧(B)が与えられるのでオンする。したがって、出力回路5の出力信号電圧(F)は図2で示したように、入力信号電圧VinがグランドレベルGndとなっている時点t1においてはグランドレベルGndになる。

【0018】また、時点t2ではNMOSトランジスタ

5

mn8のゲート電圧(E)とソース電圧(B)とが同じになるとともに、PMOSトランジスタmp8においてはゲートに“L”レベルの信号(D)が印加され、ソースにVDDレベルの信号(C)が印加される。したがって\*

表1

	入力“L”レベル	入力“H”レベル
mp8のVGS	$V_{GS} = V_{thn} - V_{thn} = 0$ 完全にオフ	$V_{GS} = V_{DD} - V_{thn}$ 完全にオン
mn8のVGS	$V_{GS} = (V_{DD} - V_{thp}) - 0 = V_{DD} - V_{thp}$ 完全にオン	$V_{GS} = (V_{DD} - V_{thp}) - (V_{DD} - V_{thp}) = 0$ 完全にオフ

このような動作は、時点t3、t4においても同様に行われるので、図2に示したように出力信号(F)の振幅は入力信号電圧 $V_{ir}$ と同じ(グラウンドレベルGnd～VDD)になる。

【0019】本実施例の出力バッファ回路は、入力回路1～出力回路5の前段を通して全てのMOSトランジスタの任意の2端子間に印加される電圧の最大値は $|V_{DD} - V_{thn}|$ 、 $V_{thp}$ となる。これは、MOSトランジスタのしきい値分だけ耐圧を大きくしたのと実質的に同じ効果がある。また、表1に示したように、各MOSトランジスタは入力“L”、“H”でCMOS動作を行う。したがって、DC電流は流れないので消費電力を非常に少なくすることができる。なお、オン電圧は通常のインバータよりもしきい値分だけ減ることになるが、例えばゲート線のような軽い負荷を駆動する場合には全く問題ない。なお、バイアス回路4に用いているダイオード接続トランジスタmn6、mn7、mp6、mp7は、必ずしも図1の通りでなくともよい。すなわち、ダイオード接続されているものであれば、NMOSトランジスタをPMOSトランジスタに置き換え、PMOSトランジスタをNMOSトランジスタに置き換えてもよい。

【0020】

【発明の効果】本発明は上述したように、振幅がグラウンドレベルGnd～電源電圧VDDよりも小さいけれども最低レベルはグラウンドレベルと同じである第1の信号と、同じく振幅はグラウンドレベルGnd～電源電圧VDDよりも小さいが最高レベルは電源電圧VDDと同じである第2の信号とを作り、出力バッファ回路を構成する全てのMOSトランジスタの任意の2端子間に印加される電圧の最大値が、 $|V_{DD} - \text{MOSトランジスタのしきい値電圧}|$ となるようにするとともに、最終的に出力される信号の振幅がグラウンドレベルGnd～電源電圧VDDとなるようにしたので、電源電圧の大きさを小さくしたり或いはゲート酸化膜の厚さを厚くしたりすることなく実効的な耐圧を向上させることができる。したがって、プロセスを変更したり、トランジスタの動作特性を犠牲にしたりすることなく高耐圧化をはかることができ、出力バッファ回路の信頼性を向上させることができる。

\*て、時点t2においては出力信号(F)の電位は電源電圧VDDレベルまで上昇する。これらのトランジスタmp8およびmn8の動作をまとめたものを第1表に示す。

きい値電圧 $|V_{thn}|$ となるようにするとともに、最終的に出力される信号の振幅がグラウンドレベルGnd～電源電圧VDDとなるようにしたので、電源電圧の大きさを小さくしたり或いはゲート酸化膜の厚さを厚くしたりすることなく実効的な耐圧を向上させることができる。したがって、プロセスを変更したり、トランジスタの動作特性を犠牲にしたりすることなく高耐圧化をはかることができ、出力バッファ回路の信頼性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す出力バッファ回路の回路図である。

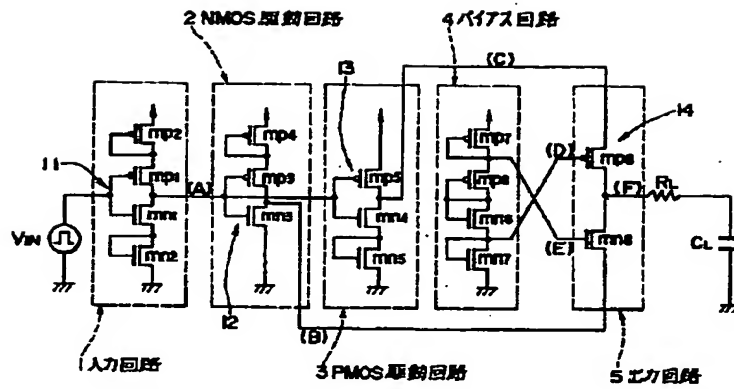
【図2】図1の回路の各部の動作を説明するためのタイムチャートである。

【図3】バッファ回路の使用例を示す回路図である。

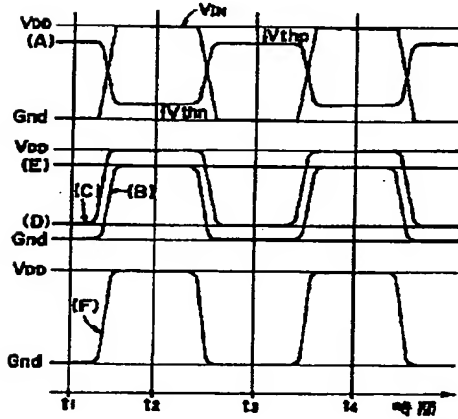
【符号の説明】

- 1 入力回路
- 2 NMOS駆動回路
- 3 PMOS駆動回路
- 4 バイアス回路
- 5 出力回路
- 11 第1のCMOSトランジスタ
- 12 第2のCMOSトランジスタ
- 13 第3のCMOSトランジスタ
- 14 第4のCMOSトランジスタ
- $V_{ir}$  入力信号電圧
- VDD 電源電圧
- Gnd グラウンドレベル
- $V_{thp}$  しきい値電圧
- $V_{thn}$  しきい値電圧

【図1】



【図2】



【図3】

